PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223833
(43)Date of publication of application : 21.08.1998

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18

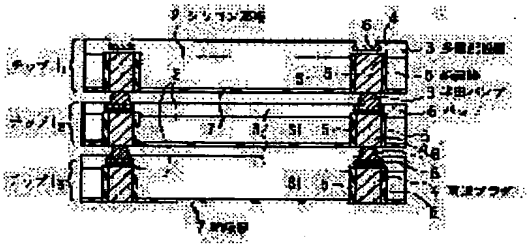
(21)Application number : 09-305784
(22)Date of filing : 07.11.1997

(71)Applicant : TOSHIBA CORP
(72)Inventor : HAYASAKA NOBUO
OKUMURA KATSUYA
SASAKI KEIICHI

(30)Priority
Priority number : 08321931 Priority date : 02.12.1996 Priority country : JP

(54) MULTI-CHIP SEMICONDUCTOR DEVICE CHIP FOR MULTI-CHIP SEMICONDUCTOR DEVICE AND ITS FORMATION

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a multi-chip semiconductor device whose device area is small, whose constitution is simple and whose thickness is thin by providing a connection plug formed of metal in a through hole passing through a semiconductor substrate and an inter-layer insulating film and electrically connecting one chip with the other chip through the connection plug.
SOLUTION: A metal plug 4 is formed on the outer side of an element forming area and the insulating films 5 are provided between the metal plug 4 and the silicon substrate 1/the first inter-layer insulating film so as to constitute the connection plug. The metal plug 4 of the chip 11 is electrically connected to the pad 6 provided for the multilayer wiring layer 3 of the chip 12 through a solder bump 8. The chip 11 is electrically connected to the chip 12. The metal plug 4 of the chip 12 is electrically connected to the pad 6 provided for the multilayer wiring layer 3 of the chip 13 through the solder bump 8. Thus, the chips 11, 12 and 13 are electrically connected. Since the chips 11, 12 and 13 are stacked, the device area is prevented from increasing.



LEGAL STATUS
[Dat of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than

the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（A）　(11)特許出願公開番号

特開平10－223833

(43)公開日　平成10年(1998)８月21日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　25/065		Ｈ０１Ｌ　25/08	Ｂ
25/07			
25/18			

審査請求　未請求　請求項の数12　ＯＬ　（全 19 頁）

(21)出願番号　特願平9－305784

(22)出願日　平成９年(1997)11月７日

(31)優先権主張番号　特願平8－321931

(32)優先日　平８(1996)12月２日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　早坂　伸夫
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

(72)発明者　奥村　勝弥
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

(72)発明者　佐々木　圭一
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

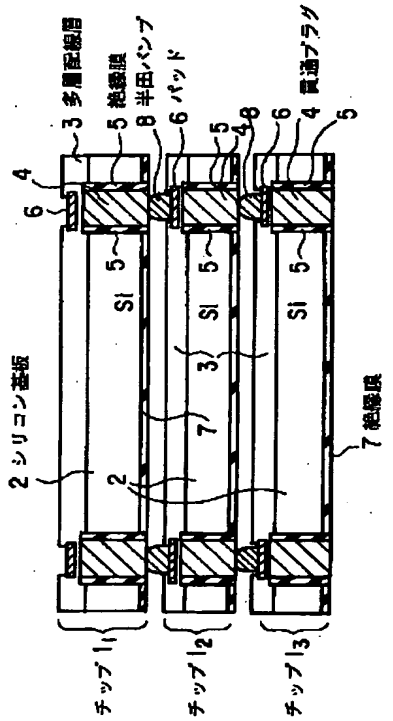
(74)代理人　弁理士　鈴江　武彦　（外６名）

(54)【発明の名称】　マルチチップ半導体装置、ならびにマルチチップ半導体装置用チップおよびその形成方法

(57)【要約】

【課題】装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現すること。

【解決手段】素子が集積形成されたシリコン基板２を有するチップl_1，l_2，l_3が積層されたマルチチップ半導体装置において、各チップl_1，l_2，l_3は、それぞれ、シリコン基板２を貫通する貫通孔内に金属プラグ４が形成された構造を有し、かつこの金属プラグ４を介してチップ間の電気的接続がとられている。



1

【特許請求の範囲】

【請求項１】表面に素子が集積形成され半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、

少なくとも１つのチップは、その半導体基板および層間絶縁膜を貫通する貫通孔内に、金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも１つのチップは、前記接続プラグを介して他のチップと電気的に接続されていることを特徴とするマルチチップ半導体装置。

【請求項２】前記接続プラグを有するチップは、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電気的に接続されていることを特徴とする請求項１に記載のマルチチップ半導体装置。

【請求項３】表面に素子が集積形成された半導体基板と、

この半導体基板表面上に形成された層間絶縁膜と、

この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとを具備してなることを特徴とするマルチチップ半導体装置用チップ。

【請求項４】前記接続プラグは、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする請求項３に記載のマルチチップ半導体装置用チップ。

【請求項５】前記接続プラグは、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨脹係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする請求項３に記載のマルチチップ半導体装置用チップ。

【請求項６】前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする請求項３に記載のマルチチップ半導体装置用チップ。

【請求項７】前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けれた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電気的に接続するための接続部材が設けられることを特徴とする請求項３に記載のマルチチップ半導体装置用チップ。

【請求項８】半導体基板表面に素子を集積形成する工程と、

2

前記半導体基板表面上に層間絶縁膜を形成する工程と、

この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、

前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項９】半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、

この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの第１の絶縁膜を形成する工程と、

前記孔内を前記第１の絶縁膜よりもエッチング速度の速い第２の絶縁膜で充填する工程と、

前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子と接続する配線層を形成する工程と、

前記半導体基板裏面から、前記半導体基板および前記第１の絶縁膜を後退させて、前記孔の底部の前記第２の絶縁膜を露出させる工程と、

前記孔内の前記第２の絶縁膜を選択的にエッチング除去した後、前記第１の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項１０】半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、

この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの第１の絶縁膜を形成する工程と、

前記第１の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

前記孔内の底部の前記第１の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、

前記孔の底部の前記第１の絶縁膜より上の、前記孔の側壁の前記第１の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッチングする工程と、

前記孔の底部側の前記半導体基板裏面全面に第２の絶縁膜を形成する工程と、

前記孔の底部の前記金属プラグが露出するまで、前記第１および第２の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第２の絶縁膜を選択的に残置させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項１１】前記孔の形成は、前記半導体基板上に形成する配線層のうち、最も融点の低い配線層を形成する前に行なうことを特徴とする請求項８、請求項９および請求項１０のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【請求項１２】前記半導体基板の後退は、該半導体基板をウェハから切り出した後に行なうことを特徴とする請求項８、請求項９および請求項１０のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、複数のチップを用いた半導体装置であるマルチチップ半導体装置、ならびにマルチチップ半導体層用チップおよびその形成方法に関する。

【０００２】

【従来の技術】近年、コンピューターや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、半導体基板上に集積化して形成した大規模集積回路（チップ）が多用されている。このため、機器全体の性能は、チップ単体の性能と大きく結び付いている。

【０００３】一方、複数のチップを用いて、機器全体の性能を図ったいわゆるマルチチップ半導体装置も提案されている。図２５～図２７に、従来のマルチチップ半導体装置の断面図を示す。

【０００４】図２５は、例えば、積層の配線基板８１上に複数のチップ８２を平面配置するタイプのマルチチップ半導体装置を示している。なお、図中、８３は半田バンプを示している。また、図２６は、表面を向かい合わせ（Ｆａｃｅ　ｔｏ　Ｆａｃｅ）にしてチップ同士を接続するタイプのマルチチップ半導体装置を示している。また、図２７は、複数のチップ８２を積層板８４を用いて積層配置するタイプのマルチチップ半導体装置を示している。

【０００５】

【発明が解決しようとする課題】しかしながら、これらの従来のマルチチップ半導体装置には、以下のような問題がある。

【０００６】すなわち、図２５の従来のマルチチップ半導体装置は、複数のチップ８２を平面配置するため、装置の平面面積が大きいという問題がある。

【０００７】また、図２６の従来のマルチチップ半導体装置は、複数のチップ８２を積層するため、装置の平面面積が大きくなるという問題はないが、積層枚数が２枚

に限定されるという問題がある。また、それぞれのチップを電気的にテストすることが困難である。

【０００８】また、図２７の従来のマルチチップ半導体装置は、複数のチップ８２を積層できるので、装置の平面面積が大きくなる問題や、積層枚数が２枚に限定されるという問題はないが、チップ間に積層板８４を設ける必要があるため、構造が複雑になったり、コストや厚さが増大したりする。

【０００９】本発明は、上記事情を考慮してなされたもので、その目的とするところは、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を提供することにある。また、本発明の他の目的は、このようなマルチチップ半導体装置の実現を可能とするマルチチップ半導体装置用チップおよびその形成方法を提供することにある。

【００１０】

【課題を解決するための手段】

［構成］上記目的を達成するために、本発明に係るマルチチップ半導体装置（請求項１）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、少なくとも１つのチップが、その半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも１つのチップが、前記接続プラグを介して他のチップと電気的に接続されていることを特徴とする。

【００１１】上記層間絶縁膜は、素子を覆う第１層目の層間絶縁膜である。

【００１２】また、本発明に係る他のマルチチップ半導体装置（請求項２）は、上記マルチチップ装置（請求項１）において、前記接続プラグを有するチップが、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電気的に接続されていることを特徴とする。

【００１３】接続部材は例えば金属バンプであり、また実装部材は例えば配線基板またはＴＡＢテープである。

【００１４】また、本発明に係る他のマルチチップ半導体装置（請求項３）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜と、この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとを備えていることを特徴とする。

【００１５】また、本発明に係る他のマルチチップ半導体装置（請求項４）は、上記マルチチップ半導体装置用チップ（請求項３）において、前記接続プラグが、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする。

5

【００１６】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項５）は、上記マルチチップ半導体装置用チップ（請求項３）において、前記接続プラグが、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨脹係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする。

【００１７】本発明に係るマルチチップ半導体装置用チップ（請求項６）は、上記マルチチップ半導体装置用チップ（請求項３）において、前記接続プラグが、前記貫通孔の前記半導体基板の表面側の途中の深さまで設けれた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする。

【００１８】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項７）は、上記マルチチップ半導体装置用チップ（請求項３）において、前記接続プラグが、前記貫通孔の前記半導体基板の裏面側の途中の深さまで設けれた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電気的に接続するための接続部材が設けられることを特徴とする。

【００１９】ここで、前記接続部材が設けられた側の前記半導体基板の裏面は、前記接続部材の部分を除いて絶縁膜で覆われていることが好ましい。

【００２０】また、本発明に係るマルチチップ半導体装置用チップの形成方法（請求項８）は、半導体基板表面に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とする。また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項９）は、半導体基板表面に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第１の絶縁膜を形成する工程と、前記孔内を前記第１の絶縁膜よりもエッチング速度の速い第２の絶縁膜で充填する工程と、前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子と接続する配線層を形成する工程と、前記半導体基板裏面から、前記半導体基板および前記第１の絶縁膜を後退させて、前記孔の底部の前記第２の絶縁膜を露出させる工程と、前記孔内の前記第２の絶縁膜を選択的にエッチング除去した後、前記第１の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とする。

6

【００２１】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項１０）は、半導体基板表面に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第１の絶縁膜を形成する工程と、前記第１の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記孔内の底部の前記第１の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、前記孔の底部の前記第１の絶縁膜より上の、前記孔の側壁の前記第１の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッチングする工程と、前記孔の底部側の前記半導体基板裏面全面に第２の絶縁膜を形成する工程と、前記孔の底部の前記金属プラグが露出するまで、前記第１および第２の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第２の絶縁膜を選択的に残置させる工程とを有することを特徴とする。

【００２２】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項１１）は、上記マルチチップ半導体装置用チップの形成方法（請求項８～１０）において、前記孔の形成を、前記半導体基板上に形成する配線のうち、最も融点の低い配線を形成する前に行なうことを特徴とする。

【００２３】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項１２）は、上記マルチチップ半導体装置用チップの形成方法（請求項９～１０）において、前記半導体基板の後退を、該半導体基板をウェハから切り出した後に行なうことを特徴とする。

【００２４】［作用］本発明（請求項１，２）によれば、複数のチップを積層しているので、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【００２５】また、本発明によれば、半導体基板および層間絶縁膜を貫通する貫通孔内に形成された金属からなる接続プラグにより、チップ同士を接続しているので、Ｆａｃｅ　ｔｏ　Ｆａｃｅによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が２枚に限定されるという問題はない。

【００２６】さらに、チップ同士の接続に積層板を用いていないので、積層板によりチップ同士を接続する従来

のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【００２７】したがって、本発明によれば、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【００２８】また、本発明（請求項３～７）のマルチチップ半導体装置用チップは、半導体基板および層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグを有している。

【００２９】したがって、このようなマルチチップ半導体装置用チップを用いたマルチチップ半導体装置は、本発明（請求項１，２）と同じ作用により、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いものとなる。

【００３０】また、上記本発明（請求項１～７）において、接続プラグは、チップの放熱を促進するという効果がある。また、チップ裏面から接続プラグに検査プローブをあてることにより装置またはチップの検査を行なうことができる。

【００３１】また、本発明（請求項８）では、半導体基板および層間絶縁膜を貫通する貫通孔を直接開孔することはしない。何故なら、半導体基板は一般に厚く、貫通孔を直接開孔することは困難であるからである。

【００３２】すなわち、本発明では、まず、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成し、次にこの孔内に絶縁膜を介して接続プラグとしての金属膜を形成する。

【００３３】このような工程の後、本発明では、孔が形成された表面と反対側の表面から、半導体基板および絶縁膜を後退させて、孔の底部側の金属膜を露出させることにより、貫通孔を形成する。したがって、本発明によれば、もとの半導体基板の厚くても、貫通孔を容易に形成できるようになる。

【００３４】また、本発明（請求項９）では、孔内を第１の絶縁膜よりもエッチング速度の速い第２の絶縁膜で充填した状態で、層間絶縁膜に接続孔を形成し、この接続孔を介して素子と接続する配線層を形成し、その後第２の絶縁膜を選択的にエッチング除去して孔内に金属膜を形成する。このため、金属膜は、配線層を形成する際の高温の工程の影響を受けずに済む。

【００３５】これにより、金属膜の構成元素が半導体基板に拡散することによるチップの特性劣化を防止することができる。また、金属膜の構成元素の拡散を防止するためにバリア膜などの拡散防止構造を形成する場合とは異なり、プロセスが複雑化になることも無い。

【００３６】また、本発明（請求項１０）によれば、貫通孔を容易に形成できるとともに、孔の底部側の半導体基板の露出面を第２の絶縁膜により容易に被覆できるようになる。

【００３７】また、半導体基板の後退は、本発明（請求項１２）のように、半導体基板をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、研磨やエッチングにより均一に後退を行なうのが困難であるからである。

【００３８】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【００３９】（第１の実施形態）図１は、本発明の第１の実施形態に係るマルチチップ半導体装置の断面図である。

【００４０】このマルチチップ半導体装置は、３つのチップ1_1，1_2，1_3が積層された構成となっている。各チップ1_1，1_2，1_3は、それぞれ、大きく分けて、表面に素子が集積形成されたシリコン基板２と、集積形成された素子を所定の関係に接続するための多層配線層３と、この多層配線層３の第１の層間絶縁膜およびシリコン基板１を貫通する貫通孔内に形成され、チップ同士を電気的に接続するための接続プラグ（金属プラグ４、絶縁膜５）とから構成されている。

【００４１】多層配線層３は、素子を覆う第１の層間絶縁膜と、この第１の層間絶縁膜に形成されたコンタクトホール（第１の接続孔）を介して素子に接続する第１の配線層と、第１の層間絶縁膜上に形成され、第１の配線層を覆う第２の層間絶縁膜と、この第２の層間絶縁膜に形成されたヴィアホール（第２の接続孔）を介して第１の配線層と接続する第２の配線層とを有する。なお、３層以上の多層配線層であっても良い。

【００４２】金属プラグ４は素子形成領域の外側に形成されている。また、金属プラグ４とシリコン基板１および第１の層間絶縁膜との間、言い換えれば金属プラグ４と貫通孔との間には絶縁膜５が設けられている。この絶縁膜５と金属プラグ４とで接続プラグが構成されている。

【００４３】また、各チップ1_1，1_2，1_3の多層配線層３には、それぞれ、パッド６が設けれている。また、各チップ1_1，1_2，1_3のパッド６とは反対側のシリコン基板２の裏面のシリコン領域、言い換えれば接続プラグ（金属プラグ４、絶縁膜５）以外の領域は絶縁膜７で被覆されている。

【００４４】チップ1_1の金属プラグ４は、半田バンプ８を介して、チップ1_2の多層配線層３に設けられたパッド６に電気的に接続している。これにより、チップ１１はチップ1_2と電気的に接続することになる。なお、半田バンプ８以外のバンプを用いても良い。

【００４５】同様に、チップ1_2の金属プラグ４は、半田バンプ８を介して、チップ1_3の多層配線層３に設けられたパッド６に電気的に接続し、チップ1_2はチップ1_3と電気的に接続している。このようにしてチップ１１，1_2，1_3間は電気的に接続されることになる。

【００４６】本実施形態によれば、チップ1_1，1_2，1_3を積層しているので、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【００４７】また、本実施形態によれば、シリコン基板２および第１の層間絶縁膜を貫通する金属プラグ４により、チップ同士を接続しているので、Ｆａｃｅ ｔｏ Ｆａｃｅによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が２枚に限定されるという問題はない。

【００４８】さらに、チップ同士の接続に積層板を用いていないので、積層板によりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【００４９】さらにまた、金属プラグ４には、放熱を促進する効果がある。

【００５０】したがって、本実施形態によれば、装置の平面面積が小さく、構造が単純で、厚さが薄く、かつ放熱性に優れたマルチチップ半導体装置を実現できるようになる。

【００５１】なお、実施形態では、チップ数が３の場合について説明したが、本実施形態のチップ構造であれば、４個以上のチップも同様にして接続できる。また、金属プラグ４を有するチップの全てが必ずしも金属プラグ４を介して接続する必要はない。すなわち、放熱性の改善の目的のみで金属プラグ４を形成したチップがあっても良い。

【００５２】（第２の実施形態）図２は、本発明の第２の実施形態に係るマルチチップ半導体装置の断面図である。なお、図１のマルチチップ半導体装置と対応する部分には図１と同一符号を付してあり、詳細な説明は省略する。

【００５３】本実施形態は、真中のチップ1_2だけが接続プラグ（金属プラグ４、絶縁膜５）を有する例である。

【００５４】チップ$_1$の多層配線層３に設けられたパッド６は、半田バンプ８を介して、チップ1_2の多層配線層３に設けられたパッド６に電気的に接続している。これにより、チップ$_1$はチップ1_2と電気的に接続することになる。また、チップ1_2の金属プラグ４は、半田バンプ８を介して、チップ1_3の多層配線層３に設けられたパッド６に電気的に接続し、チップ1_2はチップ1_3と電気的に接続している。このようにしてチップ1_1，1_2，1_3間は電気的に接続されることになる。

【００５５】本実施形態でも第１の実施形態と同様な効果が得られる。ただし、真中のチップ1_2だけしか接続プラグ（金属プラグ４、絶縁膜５）を有していないので、４個以上のチップを積層することはできない。しかし、接続プラグは１個で済むので、コスト的に有利である。

【００５６】（第３の実施形態）図３は、本発明の第３の実施形態に係るマルチチップ半導体装置の断面図である。なお、図１のマルチチップ半導体装置と対応する部分には図１と同一符号を付してあり、詳細な説明は省略する。

【００５７】本実施形態は、２つのチップ1_1，1_2がセラミック製の積層配線基板９を介して接続する例である。

【００５８】チップ$_1$の多層配線層３に設けられたパッド６は、半田バンプ８を介して、積層配線基板９に設けられたパッド６に電気的に接続している。このパッド６に電気的に接続している積層配線基板９に設けられた他のパッド６は、チップ1_2の多層配線層３に設けられたパッド６に電気的に接続している。これにより、チップ１はチップ1_2と電気的に接続することになる。

【００５９】本実施形態でも第１の実施形態と同様な効果が得られる。さらに、本実施形態によれば、チップ１２の多層配線層３に設けられたパッド６に検査プローブをあてて装置の検査を行なうことができる。

【００６０】これに対して、図２に示すように、金属プラグ４を有するチップ1_2がチップ間にある構成だと、検査プローブをあてることができないので、このような検査は行なうことができない。

【００６１】（第４の実施形態）図４、図５は、本発明の第４の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す工程断面図である。

【００６２】まず、図４（ａ）に示すように、シリコン基板１０を用意する。このシリコン基板１０は素子形成後のものであり、その表面は第１の層間絶縁膜１１で覆われている。この第１の層間絶縁膜１１の材料には、窒化シリコンのようにＳｉO_2とエッチング選択比が取れるものが選ばれている。

【００６３】次に図４（ｂ）に示すように、ＳｉO_2からなる厚さ１μｍのマスクパターン１２を第１の層間絶縁膜１１上に形成した後、マスクパターン１２をマスクにして、エッチングガスがＦ系ガスのＲＩＥ法にて、第１の層間絶縁膜１１およびシリコン基板１０をエッチングすることにより、第１の層間絶縁膜１１を貫通し、かつシリコン基板１０を貫通しない孔１３を形成する。この後、孔１３の形成の際に生じたシリコン基板１０の欠陥を回復するためのアニールを行なうことが好ましい。

【００６４】シリコン基板１０における孔の深さは１００μｍである。これに第１の層間絶縁膜１１の厚さを加えたものが孔１３の全体の深さとなる。孔１３は最終的には貫通孔となる。

【００６５】なお、シリコン基板１０をＲＩＥ法にてエッチングして孔を形成し、次に第１の層間絶縁膜１１を形成し、次に第１の層間絶縁膜１１、または第１の層間絶縁膜１１およびシリコン基板１０をＲＩＥ法にてエッチングして、孔１３を形成することも可能である。

【００６６】この場合、最初のエッチングの際に用いるマスクパターンとしては、SiO_2やAlやAl$_2$ O_3などの材料からなるものが使用できる。

【００６７】また、孔１３（貫通孔）を形成する加工技術はＲＩＥに限定されるものではなく、光エッチング、ウエットエッチング、超音波加工、放電加工を用いることもできる。さらに、上記加工技術を適宜組み合わせても良い。なお、ＲＩＥまたは光エッチングと、ウエットエッチングとを組み合わせた方法については後で説明する。

【００６８】次に図４（ｃ）に示すように、全面に厚さ１００nmのSiO_2膜、厚さ１００nmのSi_3N_4膜をＬＰＣＶＤ法を用いて順次堆積して、SiO_2／Si_3N_4の積層絶縁膜１４（第１の絶縁膜）を形成する。なお、積層絶縁膜１４の代わりに、単層の絶縁膜を用いても良い。

【００６９】次に図４（ｄ）に示すように、金属プラグとなる金属膜１５を孔１３から溢れる厚さに全面に形成して、孔１３を金属膜１５で埋め込む。

【００７０】ここで、金属膜１５としては、例えばW膜、Ｍｏ膜、Ｎｉ膜、Ｔｉ膜、これらの金属シリサイド膜があげられる。また、金属膜１５の形成方法としては、例えばＣＶＤ法、スパッタ法またはメッキ法があげられる。

【００７１】次に図５（ｅ）に示すように、ＣＭＰ法やエッチバック法等の方法を用いて、第１の層間絶縁膜１１の表面が露出するまで、金属膜１５、積層絶縁膜１４を後退させる。

【００７２】この結果、孔１３に金属膜（金属プラグ）１５が埋め込まれた構造が形成される。このような構造は他の形成方法でも形成できる。その形成方法は後で説明する（図１４、図１５）。

【００７３】次に図５（ｆ）に示すように、シリコン基板１０上に第１の層間絶縁膜１１とともに多層配線層を構成する多層配線構造１６を形成する。多層配線構造１６は金属配線（配線層）、層間絶縁膜、プラグなどから構成される。この後、多層配線構造１６の表面に溝を形成した後、この溝にパッド１７を形成する。

【００７４】図６、図７に、それぞれ、孔１３の領域の多層配線層、素子領域の多層配線層の具体的な構造の一例を示す。

【００７５】素子領域にはＭＯＳトランジスタが形成されている。また、図において、１１ａは第２の層間絶縁膜、１１ｂは第３の層間絶縁膜、１１ｃは第４の層間絶縁膜、１１ｎはｎ番目の層間絶縁膜、１９ａおよび２０ａは第１の金属配線、１９ｂおよび２０ｂは第２の金属配線、２０ｃは第３の金属配線を示している。

【００７６】次に図５（ｇ）に示すように、孔１３の底部の絶縁膜１４が露出するまで、孔１３が形成された表面と反対側のシリコン基板裏面から、シリコン基板１０

を後退させる。

【００７７】ここで、シリコン基板１０の後退（薄化）は、例えば、ＣＭＰ、化学研磨、機械研磨、ウエットエッチング、プラズマエッチングまたはガスエッチングの加工技術を用いた方法、またはこれら加工技術を組み合わせた方法により行なう。これらの中ではＣＭＰが最も代表的な方法であり、また好ましい。

【００７８】この図５（ｇ）の工程は、シリコン基板１０と絶縁膜１４の間で選択比が取れる条件で行なうことが好ましい。このような条件で行なえば、絶縁膜１４のところで自動的に同工程を終了することが可能となる。

【００７９】次に図５（ｈ）に示すように、孔１３の底部の絶縁膜１４より上の、孔１３の側壁の絶縁膜１４が露出するまで、孔１３の底部側のシリコン基板１０の裏面を選択的にエッチングする。このエッチングには、例えば、ＣＤＥ、ＲＩＥ等のドライエッチングまたはウエットエッチングを用いる。なお、エッチングの代りにＣＭＰを用いても良い。

【００８０】この後、上記エッチングまたはＣＭＰにより生じたダメージ層を例えばウエットエッチングにより除去する。なお、この除去工程は、ダメージ層が生じない場合には不要である。ダメージ層を除去する理由は、ダメージ層は次のSiO_2膜１８の形成工程に影響を与えるからである。

【００８１】次に同図（ｈ）に示すように、プラズマＣＶＤ法を用いて、孔１３の底部側ののシリコン基板１０の裏面全面にSiO_2膜１８（第２の絶縁膜）を形成する。なお、低温プロセスが要求される場合には、SiO_2膜１８の代わりに、ＳＯＧ膜等の塗布膜を用いると良い。また、シリコン基板１０が受ける応力を小さくしたい場合には、SiO_2膜１８の代わりに、ポリイミド膜等の有機膜を用いると良い。

【００８２】次に図５（ｉ）に示すように、金属プラグ１５を露出するまで、ＣＭＰ法を用いてSiO_2膜１８、積層絶縁膜１４を研磨する。

【００８３】この結果、貫通孔（孔１３）内に絶縁膜１４と金属プラグ１５からなる接続プラグが埋め込まれ、かつシリコン基板１０の裏面のシリコン領域がSiO_2膜１８で被覆された構造が完成する。

【００８４】以上述べたように、本実施形態では、シリコン基板１０の表面に該シリコン基板１０を貫通しない孔１３を形成した後、裏面からシリコン基板１０等を研磨することにより、貫通孔（孔１３）内が接続プラグ（絶縁膜１４、金属プラグ１５）で埋め込まれた構造を形成している。

【００８５】したがって、本実施形態によれば、もとのシリコン基板１が厚くても（通常は厚い）、深い貫通孔を形成する必要がないので、貫通孔（孔１３）が接続プラグ（絶縁膜１４、金属プラグ１５）で埋め込まれた構造を容易に形成できるようになる。

13

【００８６】また、本実施形態の方法は、厚いシリコン基板の裏面からエッチングして深い貫通孔を形成する方法の場合とは異なり、表／裏のパターンの位置合わせが必要なフォトリソグラフィが不要となるので、接続プラグの形成プロセスは簡単で工程数も少なくて済む。

【００８７】なお、裏面のシリコン領域をSiO_2膜１８で覆う必要がない場合には、図５（ｇ）の工程で、金属プラグ１５が露出するまで、シリコン基板１０および積層絶縁膜１４を研磨することで、貫通孔（孔１３）が接続プラグ（絶縁膜１４、金属プラグ１５）で埋め込まれた構造が完成する。

【００８８】また、シリコン基板１０の研磨（後退）は、シリコン基板１０をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、均一に研磨（後退）を行なうのが困難であるからである。

【００８９】また、金属配線の形成前に孔１３を形成し、その内部に金属膜を埋め込んで金属プラグ１５を形成しているので、金属配線は金属プラグ１５を形成する際の熱工程の影響を受けずに済む。さらに、金属配線は孔１３をＲＩＥにより形成した後に行なう欠陥回復のためのアニールの影響も受けずに済む。

【００９０】これにより、例えば金属配線としてＡｌ配線（Ａｌの融点は６６０℃）を用いた場合に、金属プラグ１５を抵抗の低いＡｕ等の導電ペースト（焼結温度は６００℃程度）で形成することが可能となる。

【００９１】また、素子形成後に金属プラグ１５を形成しているので、金属プラグ１５の構成金属の拡散による素子特性の劣化を防止できる。

【００９２】逆に、金属プラグ１５を形成した後に素子を形成すると、素子を形成するために必要な高温の熱工程で、金属プラグ１５の構成金属が素子領域にまで拡散し、素子特性が劣化するという問題が生じる。

【００９３】図８に、種々の構造の接続プラグの断面図を示す。これは図５（ｆ）の工程に相当する断面図である。なお、図において、１９は金属配線を示している。

【００９４】図８（ａ）は、本実施形態の接続プラグを示している。

【００９５】図８（ｂ）は、低ストレス膜１８を有する接続プラグを示している。

【００９６】すなわち、この接続プラグでは、貫通孔内に未充填部分ができるように金属プラグ１５が形成され、そして未充填部分に半導体基板１０ａとの熱膨脹係数の差が金属プラグ１５よりも小さい低ストレス膜１８が形成され、貫通孔が充填されている。

【００９７】低ストレス膜１８は、絶縁膜、半導体膜、金属膜のいずれでも良い。具体的には、導電ペースト膜、ＦＯＸ膜、ＳＯＧ膜、ＨＤＰ（High Density Plasma）－ＣＶＤ法で形成したSiO_2膜などがあげられる。

14

【００９８】このような接続プラグを用いることにより、接続プラグの形成部分に大きなストレスがかかり、シリコン基板１０中に欠陥が発生することによる素子特性の劣化を防止することができる。

【００９９】図８（ｃ）は、キャップ金属膜４５を有する接続プラグを示している。

【０１００】すなわち、金属プラグ１５は、貫通孔の途中の深さまでしか形成されておらず、この金属プラグ１５の上面には、貫通孔を充填するキャップ金属膜４５が形成されている。また、図８（ｄ）は、キャップ金属膜４５の代わりに、キャップ絶縁膜４６を用いた接続プラグを示している。

【０１０１】このようなキャップ金属膜４５、キャップ絶縁膜４６により、金属プラグ１５の表面を平坦にでき、これにより金属プラグ１５上に微細な金属配線１９を容易に形成することができるようになる。

【０１０２】また、低温で形成できるキャップ絶縁膜４６を用いることにより、後工程で金属プラグ１５の表面が酸化されるなどの不都合を防止することができる。

【０１０３】図９は、孔１３の他の形成方法を示す工程断面図である。これは、ＲＩＥまたは光エッチングと、ウエットエッチングとを組み合わせた形成方法である。

【０１０４】まず、図９（ａ）に示すように、主面が｛１００｝のシリコン基板１０上に第１の層間絶縁膜１１を形成する。次に同図（ａ）に示すように、第１の層間絶縁膜１１上にマスクパターン１２を形成した後、このマスクパターン１２をマスクにして第１の層間絶縁膜１１およびシリコン基板１０をエッチングして、断面形状が長方形の孔13_1を形成する。

【０１０５】ここで、エッチングとしては、ＲＩＥ、または光エッチング（光化学エッチング、光溶発（光アブレーション）エッチング）を用いる。特に光エッチングは、高速エッチング、低ダメージという利点を有するので、深い孔13_1を形成するのに適している。光化学エッチングの場合には、例えば、エッチングガスとしてCl_2ガス、励起光として紫外線を用いる。

【０１０６】次に図９（ｂ）に示すように、マスクパターン１２をマスクにしてシリコン基板１０をウエットエッチングして、｛１１１｝面を露出させる。この結果、断面形状が三角形の孔13_2が形成される。エッチング液としては、例えば、温度が６０～９０℃のＫＯＨ溶液を用いる。

【０１０７】次に同図（ｂ）に示すように、孔13_2内に、例えば、Ｎｉ、Ｔｉ、Ｚｒ、Ｈｆ、Ｖ等の金属２１を配置する。具体的には、金属２１を孔13_2の底の部分に配置する。

【０１０８】次に図９（ｃ）に示すように、熱処理により、金属２１とシリコン基板１０とを反応させて、孔13_2の下部のシリコン基板１０に金属シリサイド膜２２を形成する。

【０１０９】次に図９（ｄ）に示すように、金属シリサイド膜２２を選択的にエッチング除去して、より深い孔１３$_3$を形成する。最後に、絶縁膜形成および金属埋め込みを行なった後、基板裏面を研磨することにより、深い貫通孔が得られる。

【０１１０】このように孔を段階的に深くすることにより、深い孔を容易に形成できるようになり、これにより貫通孔を容易に形成できるようになる。

【０１１１】図１０に、金属プラグの他の形成方法を示す。

【０１１２】図１０（ａ）は、全面に導電ペースト２３を塗布した後、熱処理により導電ペースト２３を流動化させて、孔内に導電ペースト２３を埋め込むという方法を示している。孔外の余剰な導電ペースト２３は、例えばＣＭＰ法を用いて除去する。

【０１１３】図１０（ｂ）は、全面に金属微粒子２４を堆積して、孔内を微粒子２４で埋め込んだ後、孔外の余剰な金属微粒子２４をＣＭＰ法等を用いて除去するという方法を示している。

【０１１４】なお、金属微粒子２９の代わりに、金属粒が分散された溶剤（懸濁液）を用いても良い。

【０１１５】図１０（ｃ）は、全面にシリコン膜２５を堆積し、次にシリコン膜２５上にＴｉ膜等の高融点金属膜（不図示）を堆積した後、熱処理により高融点金属膜とシリコン膜２５とを反応させて、金属シリサイド膜２６を形成するという方法を示している。孔外の余剰な金属シリサイド膜２６は、例えばＣＭＰ法等を用いて除去する。

【０１１６】シリコン膜は絶縁膜上にコンフォーマルに堆積する。また、シリコン膜と金属膜の密着性は高い。したがって、図１０（ｃ）の方法の場合、孔が深くても、孔内の積層絶縁膜１４の全面はシリコン膜２５で覆われるので、孔内の積層絶縁膜１４の全面を覆う金属シリサイド膜３１が形成される。なお、孔内に空胴部が残った場合には、例えば、低ストレス膜で埋めると良い。

【０１１７】図１１に、金属プラグのさらに別の形成方法を示す。

【０１１８】まず、図１１（ａ）に示すように、孔１３の側壁および底部の全面を被覆し、空胴部を有するシリコン膜２７を形成する。この後、同図（ａ）に示すように、孔１３内に直径１０μｍ程度のＮｉ粒２８（金属ボール）を配置する。

【０１１９】次に図１１（ｂ）に示すように、熱処理によりシリコン膜２７とＮｉ粒２８とを反応させ、孔１３内にニッケルシリサイド膜２９を形成する。孔１３内には十分な量のシリコン膜２７およびＮｉ粒２８がないので、ニッケルシリサイド膜２９の上部には空胴部が残る。

【０１２０】最後に、図１１（ｃ）に示すように、全面にキャップ膜３０となる絶縁膜または金属膜を堆積した後、この絶縁膜または金属膜を研磨して、ニッケルシリサイド膜３０の上部の空胴部をキャップ膜３５で埋める。

【０１２１】なお、金属プラグを形成する方法はこれまでに述べた方法（ＣＶＤ法、スパッタ法、メッキ法、導電ペーストを用いた方法、金属微粒子を用いた方法、金属ボールを用いた方法、懸濁液を用いた方法）に限定されるものではなく、これらの方法を適宜組み合わせた方法など種々の方法が可能である。

【０１２２】図１２に、接続プラグの他の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板１１の裏面を研磨して貫通孔を形成した後、金属プラグ１５を形成することにある。

【０１２３】まず、図１２（ａ）に示すように、表面に素子が形成されたシリコン基板１０上にＡｌからなるマスクパターン１２ａを形成した後、このマスクパターン１２ａをマスクにして、第１の層間絶縁膜１１およびシリコン基板１０をエッチングし、孔１３を形成する。この後、マスクパターン１２ａを除去する。

【０１２４】次に図１２（ｂ）に示すように、全面にＳＯＧ膜３１を形成した後、孔１３が完全に埋め込まれるように全面にＦＯＸ膜３２を形成する。

【０１２５】次に図１２（ｃ）に示すように、孔１３外のＳＯＧ膜３１およびＦＯＸ膜３２を例えばＣＭＰ法またはエッチバック法を用いて除去する。

【０１２６】この後、図５（ｅ）～図５（ｉ）に示した工程を行なう。

【０１２７】次に図１２（ｄ）に示すように、孔１３内のＦＯＸ膜３２を例えばＣＤＥ法を用いて除去した後、図４（ｄ）、図５（ｅ）の工程と同様に、孔１３内に金属膜からなる金属プラグ１５を埋込み形成する。

【０１２８】なお、図１３に示すような接続構造の場合には、金属プラグ１５の形成後にパッド３３、Ａｕボールなどの金属ボール３４を形成する。

【０１２９】図１４および図１５に、接続プラグのさらに別の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板１０とは別のところであらかじめ形成された金属プラグ１５を孔１３内に埋め込むことにある。

【０１３０】最初に、金属プラグ１５の形成方法について説明する。

【０１３１】まず、図１４（ａ）に示すように、ＳｉＯ２からなる基板３５の表面に溝３６を形成する。

【０１３２】次に同図（ａ）に示すように、溝３６内に金属ボール３７を埋め込む。

【０１３３】最後に、図１４（ｂ）に示すように、熱処理により金属ボール３７を溶融することにより、溝３６内に金属膜からなる金属プラグ１５を形成する。

【０１３４】次にこのようにあらかじめ形成された金属プラグ１５を利用して、接続プラグを形成する方法につ

いて説明する。

【０１３５】まず、図１４（ｃ）に示すように、粘着フィルム３８に金属プラグ１５を接着させる。

【０１３６】次に図１５（ｄ）に示すように、粘着フィルム３８に接着された金属プラグ１５を溝３６から取り出す。

【０１３７】次に図１５（ｅ）に示すように、図４（ｃ）の工程の段階のシリコン基板１０の孔１３内に、粘着フィルム３８に接着された金属プラグ１５を埋め込む。この後、粘着フィルム３８を除去する。

【０１３８】次に図１５（ｆ）に示すように、熱処理により金属プラグ１５を溶融させることにより、金属プラグ１５を孔１３内に固定する。

【０１３９】このような基板１５にあらかじめ形成された金属プラグ１５を利用する方法の場合、スパッタ法やＣＶＤ法などの成膜法を用いて、シリコン基板１０上に金属プラグ４となる金属膜を形成する方法の場合に比べて、スループットが高くなり、またプロセス温度も低くて済む。

【０１４０】なお、ここでは基板３５の材料としてSiO_2を選んだが、金属ボール３７と反応しない材料であれば他の材料を用いても良い。

【０１４１】なお、金属ボール３７の代わりに、ＡｕまたはＰｄ等の低抵抗の導電ペーストを用いても良い。この場合、スクリーン印刷法を用いて溝３６内に導電性ペーストを埋め込んだ後、導電ペーストを焼結して金属プラグ１５を形成する。

【０１４２】ここで、ＡｕまたはＰｄ等の導電ペーストは焼結温度の高いものであるが、導電ペーストの焼結は、シリコン基板１０とは別のとろである基板３５で行なうので問題はない。また、導電ペーストは通常のものとは異なり、樹脂やガラスなどを含んでいる必要はない。

【０１４３】また、粘着フィルム３８を用いて金属プラグ１５を溝３６から取り出したが、ピンセット等の他の手段により取り出しても良い。

【０１４４】また、孔１３内にあらかじめ接着層を形成することにより、金属プラグ１５を孔１３内に固定しても良い。具体的には、例えばＳＯＧまたはＦＯＸなどを孔１３内に塗布して接着層を形成した後、孔１３内に金属プラグ１５を埋め込む。その後、接着層を硬化させる。

【０１４５】（第５の実施形態）図１６は、本発明の第５の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図である。なお、図４、図５のマルチチップ半導体装置用チップと対応する部分には図４、図５と同一符号を付してあり、詳細な説明は省略する。

【０１４６】本実施形態では、第４の実施形態の図５（ｉ）の工程の後、図１６（ａ）に示すように、シリコン基板１０の裏面から、金属プラグ１５をエッチングして、貫通孔に未充填部分を形成する。

【０１４７】次に図１６（ｂ）に示すように、金属プラグ１５（貫通孔の未充填部分の凹部）と半田バンプ８とを位置合せした後、金属プラグ１５と半田バンプ８とを接続する。

【０１４８】ここで、金属プラグ１５と半田バンプ８との位置合せは、画像処理により行なうことが好ましい。何故なら、画面上で、未充填部分の凹部とそうでないところで濃淡の差が明確になるので、正確な位置合せを容易に行なえるからである。

【０１４９】また、バンプ８の側面が貫通孔の側面と接触することにより、未充填部分の凹部がない場合に比べて、バンプ８はより強固に固定されることになる。

【０１５０】なお、逆に金属プラグ１５が貫通孔から突出する凸構造にしても良い。この場合、バンプ８はシリコン基板１０とは接しないので、バンプ８によるシリコン基板１０の汚染を効果的に防止することができる。

【０１５１】（第６の実施形態）図１７は、本発明の第６の実施形態に係るマルチチップ半導体装置の断面図である。なお、図１のマルチチップ半導体装置と対応する部分には図１と同一符号を付してある。また、チップ1_1，1_2において、多層配線層３や絶縁膜５，７やパッド６などは省略してある。

【０１５２】本実施形態の特徴は、チップ1_1上に放熱フィン３９を設けたことにある。この放熱フィン３９は接着剤４０によりチップ1_1に固定されている。なお、絶縁膜上にメタライズすることにより固定するなど他の固定方法を用いても良い。

【０１５３】本実施形態によれば、金属プラグ４および放熱ファン３９によって装置の放熱性を十分に高くすることができるようになる。

【０１５４】（第７の実施形態）図１８は、本発明の第７の実施形態に係るマルチチップ半導体装置の断面図である。なお、図１のマルチチップ半導体装置と対応する部分には図１と同一符号を付してある。図中、７ａは絶縁膜、４２はソルダーを示している。

【０１５５】本実施形態の特徴は、チップ1_1とチップ1_2との間に放熱用のダミーバンプ８ｄを設けたことにある。

【０１５６】チップ1_1とチップ1_2とはダミーバンプ８ｄを介して機械的には接続するが電気的には接続しない。ダミーバンプ８ｄは、例えば図示しない金属膜を介してチップ1_1およびチップ1_2と接続させる。

【０１５７】ダミーバンプ８ｄの材料としては、例えばＡｕ等の金属があげられる。金属でなくても、熱伝導の良い材料であれば、半導体や絶縁体を用いても良い。また、充填剤でも良い。また、ダミーバンプ８ｄと配線用バンプ８とを同じ材料で形成すれば、これらのバンプを同時に形成でき、工程数の増加を防止することができる。

【０１５８】なお、ダミーバンプ８ｄだけでも放熱性は改善されるが、放熱性を効果的に高めるためには、ダミーバンプ８ｄを放熱フィンに繋げる構成にすることが好ましい。

【０１５９】（第８の実施形態）図１９は、本発明の第８の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【０１６０】図１６に示した方法では、金属プラグ１５に半田バンプ８を形成したが、本実施形態では、逆に、接続先の部材４７（例えば金属プラグを有するチップ、金属プラグを有しないチップまたは積層配線基板）に半田バンプ８を形成し、この半田バンプ８と、シリコン基板２の裏面から突出した金属プラグ４を接続する。

【０１６１】この場合も、バンプ８はシリコン基板１０とは接しないので、バンプ８によるシリコン基板１０の汚染を効果的に防止することができる。

【０１６２】（第９の実施形態）図２０は、本発明の第９の実施形態に係るマルチチップ半導体装置を示す模式図である。

【０１６３】なお、図１のマルチチップ半導体装置と対応する部分には図１と同一符号を付してある。また、チップ1_1，1_2，1_3において、多層配線層３や絶縁膜５，７やパッド６などは省略してある。また、チップ１３は金属プラグ４が有っても無くても良い。

【０１６４】本実施形態は、実装部材としてＴＡＢテープを用いた例である。図中、４３はプラスチックテープ、４４はリード端子を示している。なお、図２１に、ＴＡＢテープを用いた従来のマルチチップ半導体装置の模式図を示す。図から、本実施形態に比べて平面面積が大きいことが分かる。

【０１６５】本実施形態によれば、チップ同士を積層でき、平面面積を小さくできるという効果の他に、金属プラグ４を用いて全てのチップ、一部のチップまたは各チップの検査を行なうことができる。

【０１６６】装置全体の検査であれば、図２０に示した状態で、チップ1_1の多層配線層に設けられたパッド（不図示）に検査プローブをあてて行なう。また、チップ1_1，1_2の検査であれば、チップ1_1，1_2を接続した後、チップ1_2の多層配線層に設けられたパッド（不図示）に検査プローブをあてて行なう。

【０１６７】（第１０の実施形態）図２２～図２４は、本発明の第１０の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【０１６８】まず、周知の方法に従って、図２２（ａ）に示すように、シリコン基板５０にＮＡＮＤ型ＥＥＰＲＯＭのメモリセルおよび図示しない周辺素子を形成した後、第１の層間絶縁膜５６を形成する。

【０１６９】なお、図中、５１はトンネル酸化膜、５２Ｆは浮遊ゲート電極、５３はゲート電極間絶縁膜、５２Ｃは制御ゲート電極、５４はソース拡散層、５５はドレイン拡散層を示している。また、実際には複数のメモリセルを形成するが、図には簡単なために１個のメモリセルしか示していない。

【０１７０】次に同図（ａ）に示すように、第１の層間絶縁膜５６にコンタクトホールを形成した後、Ｔｉ・ＴｉＮ積層膜５７、Ｗビット線プラグ５８を形成する。

【０１７１】具体的には、まず、コンタクトホールを形成し、次にＴｉ膜、ＴｉＮ膜を順次全面に形成した後、ブランケットＣＶＤ法を用いてＷ膜を全面に形成する。最後に、ＣＭＰ法を用いてコンタクトホール外のＷ膜、Ｔｉ膜およびＴｉＮ膜を除去する。

【０１７２】次に図２２（ｂ）に示すように、第１の層間絶縁膜５６上に例えばＡｌからなるマスクパターン５９を形成し、このマスクパターン５９をマスクにして、接続プラグが形成される領域の第１の層間絶縁膜５６およびシリコン基板５０をエッチングすることにより、深さが１５０～２００μｍで、１００μｍ×１００μｍ角の孔６０を形成する。この後、マスクパターン５９を除去する。

【０１７３】次に図２２（ｃ）に示すように、孔６０内を覆うSiO_2膜６１を形成し、その上に密着膜としての厚さ５００ｎｍの多結晶シリコン膜６２を形成した後、孔６０内に金属プラグとしてのＮｉ膜６３を埋め込む。

【０１７４】具体的には、厚さ５００ｎｍのSiO_2膜６１、厚さ５００ｎｍの多結晶シリコン膜６２、Ｎｉ膜６３を全面に順次形成した後、ＣＭＰ法を用いて孔６０外の余剰なSiO_2膜６１、多結晶シリコン膜６２、Ｎｉ膜６３を除去する。

【０１７５】また、Ｎｉ膜６３は、例えばスクリーン印刷法を用いて孔６０内にＮｉペーストを埋め込んだ後、６００℃の熱処理によりＮｉペーストを焼結することにより形成する。

【０１７６】次に図２３（ｄ）に示すように、周知の方法に従って、ビット線６４、第１の配線層６５を形成する。

【０１７７】具体的には、例えばビット線６４、第１の配線層６５となる厚さ１０ｎｍのＴｉ膜、厚さ１０ｎｍのＴｉＮ膜、厚さ４００ｎｍのＡｌＣｕ膜、厚さ４０ｎｍのＴｉＮ膜の積層膜を形成した後、この積層膜をフォトリソグラフィとエッチングを用いて加工することにより形成する。

【０１７８】次に同図（ｄ）に示すように、第２の層間絶縁膜６６を形成し、この第２の層間絶縁膜６６にヴィアホールを形成した後、プラグ６７を介して第１の配線層６５と接続する第２の配線層６８を形成する。

【０１７９】第２の配線層６８の形成方法は第１の配線層６５のそれと同じである。また、プラグ６７としては、例えばＷ膜を用いる。なお、メモリセルの領域の第２の配線層は省略してある。

【０１８０】次に同図（ｄ）に示すように、第２の配線層６８を覆うパッシベーション膜としての厚さ４５０ｎｍの感光性のポリイミド膜６９をプラズマＣＶＤ法を用いて形成した後、フォトリソグラフィとエッチングを用いて第２の配線層６８上に開孔（パッド孔）を形成する。この後、パッド（不図示）にプローブをあてて、ウェハに形成された各チップについてその良品、不良品の判別を行なうことが望ましい。

【０１８１】次に図２３（ｅ）に示すように、シリコン基板５０の裏面を機械的に研磨してＮｉ膜６３を露出させる。

【０１８２】この研磨工程は、シリコン基板５０をウェハから切り出した後に行なうことが好ましい。その理由は先に述べたように、ウェハの状態では均一な研磨が困難であるからである。この後、研磨で生じたダメージをウエットエッチングにより除去する。なお、ウェハの表面に浅いスクライブラインを予め入れておき、裏面の研磨によってウェハが薄くなったときに、チップ分割が自動的に行なわれるようにすることが好ましい。

【０１８３】次に図２３（ｆ）に示すように、第２の配線層６８上にＡｕボールバンプ７０を形成した後、転写法を用いてＡｕボールバンプ７０上に半田７１を形成する。このとき、プローブ測定により良品のチップが予め分かっている場合には、その良品のチップのみにＡｕボールバンプ７０を形成することで、歩留まりや生産効率の向上を図ることができる。

【０１８４】最後に、図２４に示すように、半田７１（Ａｕボールバンプ７０）とＮｉ膜（金属プラグ）６３との位置合わせを行なった後、半田７１とＮｉ膜（金属プラグ）６３とを接続し、シリコン基板５０同士を接続することにより、ＥＥＰＲＯＭのマルチチップ半導体装置が完成する。その後、電気特性評価を行ない、積層したチップに不良がある場合には、ハンダ７１をメルト温度まで加熱することで、チップ同士の接続を切断し、不良チップを良品チップと交換する。

【０１８５】なお、本実施形態では、ＮＡＮＤ型ＥＥＰＲＯＭのマルチチップ半導体装置について説明したが、本実施形態と同様な方法により、ＮＯＲ型ＥＥＰＲＯＭのマルチチップ半導体装置、ＤＲＡＭのマルチチップ半導体装置も製造することができる。さらには、ＥＥＰＲＯＭ、ＤＲＡＭもしくはその他の半導体メモリまたはこれらの組み合わせと、ＣＰＵとから構成されたパーソナルコンピュータ等の情報処理装置のマルチチップ半導体装置も製造することができる。

【０１８６】

【発明の効果】以上詳述したように本発明（請求項１，２）によれば、少なくとも１つのチップがその半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有するチップが該接続プラグを介して他のチップと

電気的に接続されているので、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【０１８７】また、本発明（請求項３～７）では、マルチチップ半導体装置用チップとして、素子が形成された半導体基板と、この半導体基板およびその上に形成された層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電気的に接続するための金属からなる接続プラグとからなる構成のもの用いている。

【０１８８】したがって、このような構成のマルチチップ半導体装置用チップを用いることにより、本発明（請求項１，２）に係るマルチチップ半導体装置を実現できるようになる。

【０１８９】また、本発明（請求項８～請求項１２）では、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成した後、裏面から半導体基板を後退させて貫通孔を形成しているので、もとの半導体基板が厚くても貫通孔を容易に形成できる。

【０１９０】したがって、半導体基板が厚くても、本発明（請求項３～７）に係るマルチチップ半導体装置用チップを容易に形成できるようになる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係るマルチチップ半導体装置の断面図

【図２】本発明の第２の実施形態に係るマルチチップ半導体装置の断面図

【図３】本発明の第３の実施形態に係るマルチチップ半導体装置の断面図

【図４】本発明の第４の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す前半の工程断面図

【図５】本発明の第４の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す後半の工程断面図

【図６】孔領域の多層配線層の具体的な構造例を示す断面図

【図７】素子領域の多層配線層の具体的な構造例を示す断面図

【図８】貫通プラグを示す断面図

【図９】孔の他の形成方法を示す工程断面図

【図１０】金属プラグの他の形成方法を示す断面図

【図１１】金属プラグのさらに別の形成方法を示す断面図

【図１２】接続プラグの他の形成方法を示す工程断面図

【図１３】マルチチップの他の接続構造を示す断面図

【図１４】接続プラグのさらに別の方法を示す前半の工程断面図

【図１５】接続プラグのさらに別の方法を示す後半の工程断面図

【図１６】本発明の第５の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図

【図１７】本発明の第６の実施形態に係るマルチチップ

半導体装置の断面図

【図１８】本発明の第７の実施形態に係るマルチチップ半導体装置の断面図

【図１９】本発明の第８の実施形態に係るマルチチップ半導体装置の製造方法を示す図

【図２０】本発明の第９の実施形態に係るマルチチップ半導体装置を示す模式図

【図２１】ＴＡＢテープを用いた従来のマルチチップ半導体装置を示す模式図

【図２２】本発明の第１０の実施形態に係るマルチチップ半導体装置の製造方法を示す前半の工程断面図

【図２３】本発明の第１０の実施形態に係るマルチチップ半導体装置の製造方法を示す後半の工程断面図

【図２４】本発明の第１０の実施形態に係るマルチチップ半導体装置の製造方法を示す断面図

【図２５】従来のマルチチップ半導体装置の断面図

【図２６】従来の他のマルチチップ半導体装置の断面図

【図２７】従来のさらに別のマルチチップ半導体装置の断面図

【符号の説明】

1_1，1_2，1_3…チップ

２…シリコン基板

３…多層配線層

４…金属膜（金属プラグ）

５…絶縁膜

６…パッド

７…絶縁膜

７ａ…絶縁膜

８…半田バンプ（接続部材）

８ｄ…ダミーバンプ

９…積層配線基板（実装部材）

１０…シリコン基板

１１…第１の層間絶縁膜

１１ａ…第２の層間絶縁膜

１１ｂ…第３の層間絶縁膜

１１ｃ…第４の層間絶縁膜

１１ｎ…第ｎの層間絶縁膜

１２…マスクパターン

１２ａ…マスクパターン

１３，13_1～13_3…孔（貫通孔）

１４…積層絶縁膜（第１の絶縁膜）

１５…金属膜（金属プラグ）

１６…多層配線構造

１７…パッド

１８…SiO_2膜（第２の絶縁膜）

１９…金属配線

１９ａ…第１の金属配線

１９ｂ…第２の金属配線

２０ａ…第１の金属配線

２０ｂ…第２の金属配線

２０ｃ…第３の金属配線

２１…金属

２２…金属シリサイド膜

２３…導電ペースト

２４…金属粒子

２５…シリコン膜

２６…金属シリサイド膜

２７…シリコン膜

２８…Ｎｉ粒

２９…ニッケルシリサイド膜

３０…キャップ膜

３１…ＳＯＧ膜

３２…ＦＯＸ膜

３３…パッド

３４…金属ボール

３５…基板

３６…溝

３７…金属ボール

３８…接着フィルム

３９…放熱フィン

４０…接着剤

４１…絶縁膜

４２…ソルダー

４３…プラスチックテープ

４４…リード端子

４５…キャップ金属膜

４６…キャップ絶縁膜

４７…接続先の部材

５０…シリコン基板

５１…トンネル酸化膜

52_F…浮遊ゲート電極

53_C…制御ゲート電極

５３…ゲート電極間絶縁膜

５４…ソース拡散層

５５…ドレイン拡散層

５６…第１の層間絶縁膜

５７…Ｔｉ・ＴｉＮ積層膜

５８…Ｗビット線プラグ

５９…マスクパターン

６０…孔

６１…SiO_2膜

６２…多結晶シリコン膜

６３…Ｎｉ膜

６４…ビット線

６５…第１の配線層

６６…第２の層間絶縁膜

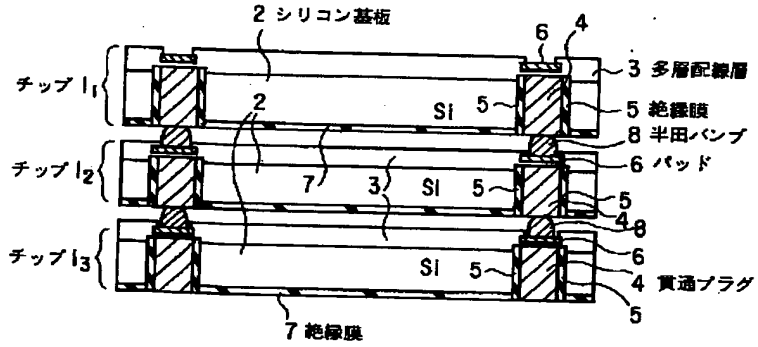
６７…プラグ

６８…第２の配線層

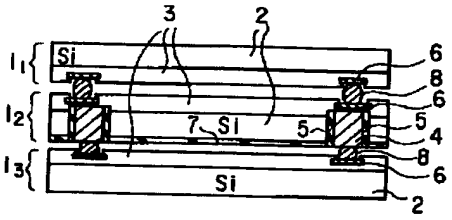
６９…ポリイミド膜

７０…Ａｕボールバンプ

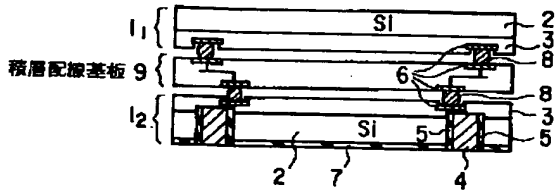
【図1】



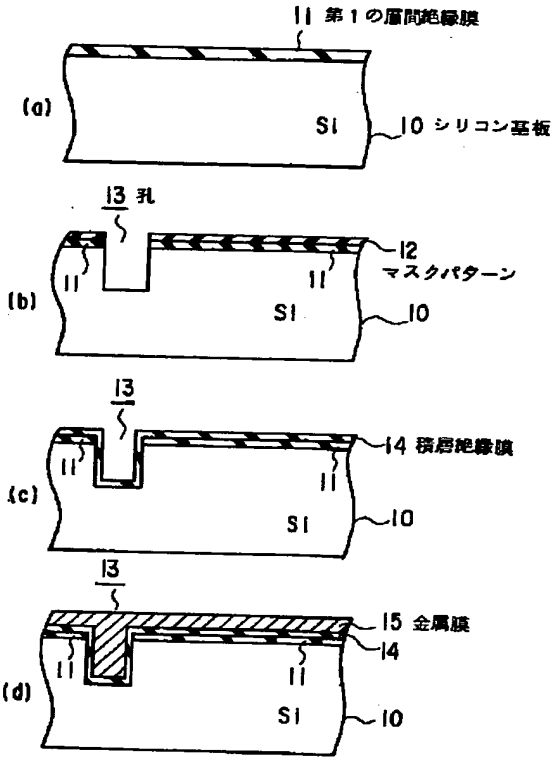
【図2】



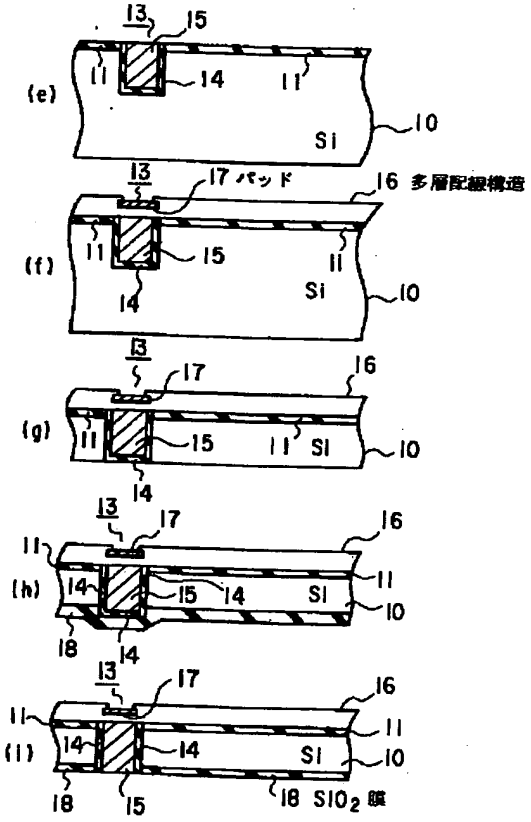
【図3】



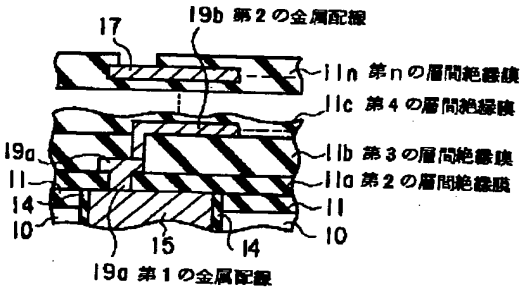
【図4】



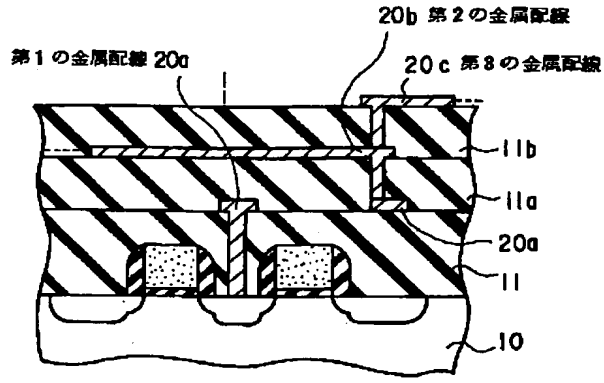
【図5】



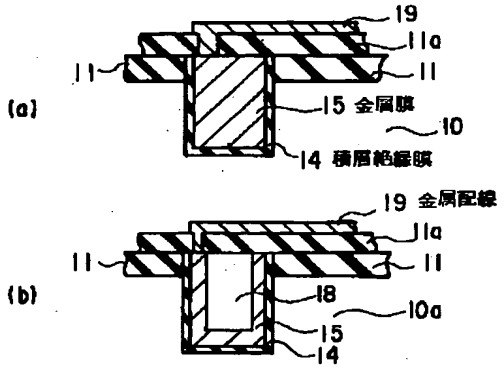
【図6】



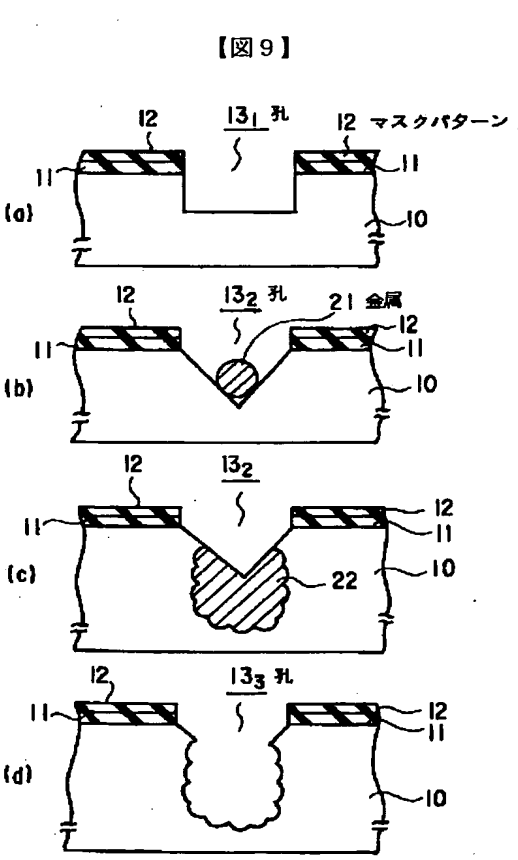
【図７】



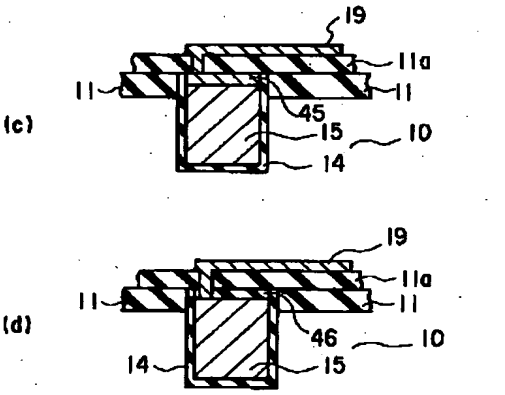
【図８】



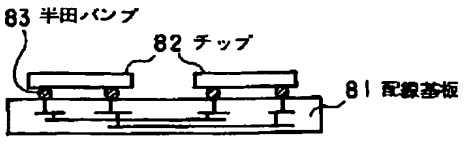
【図９】

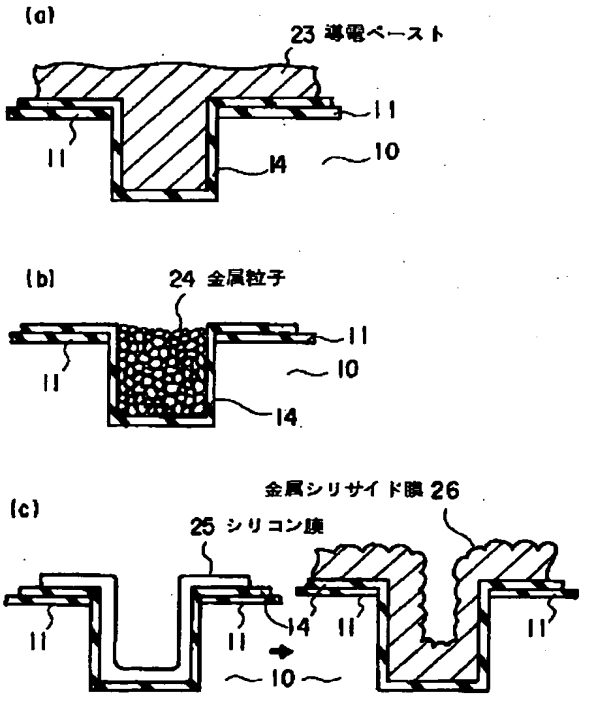


【図１０】

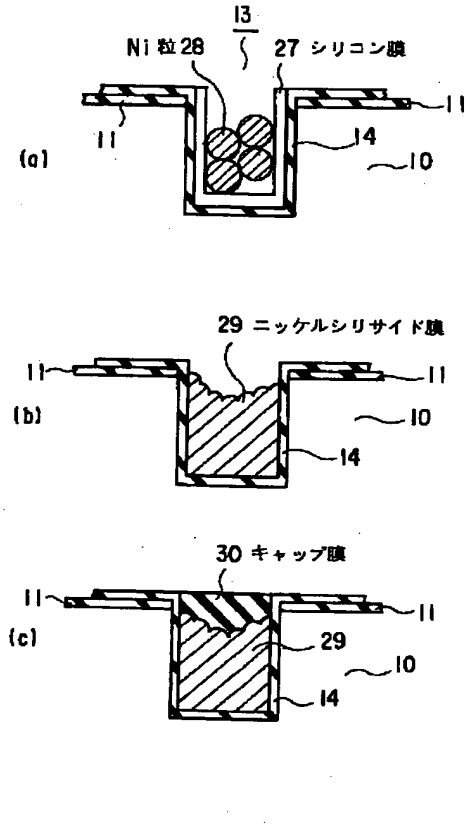


【図２５】

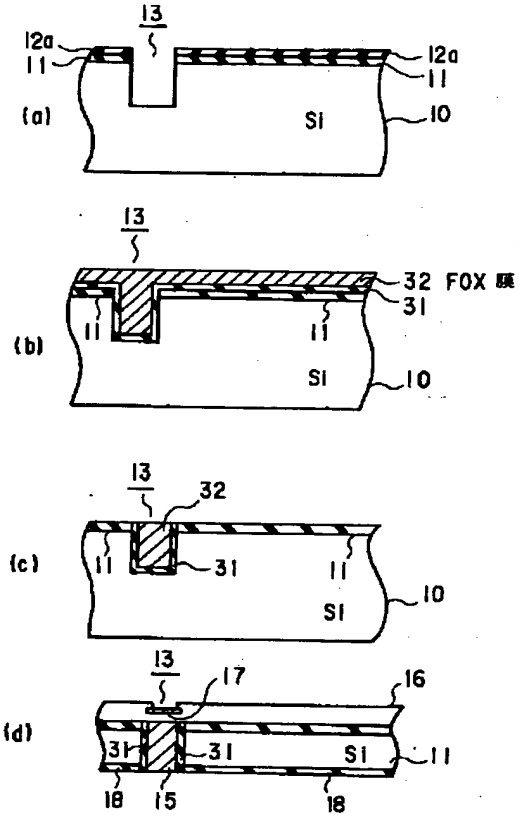




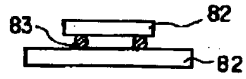
【図１１】



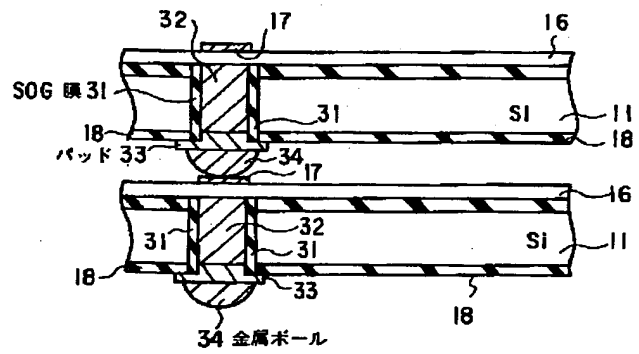
【図１２】



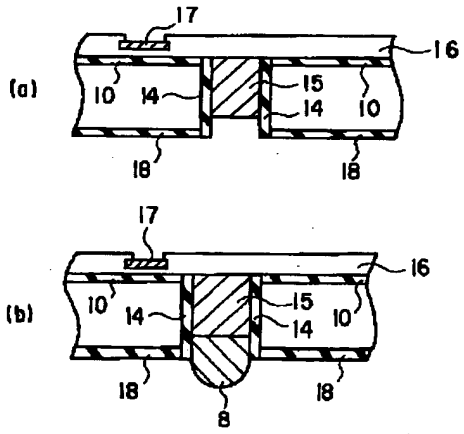
【図２６】



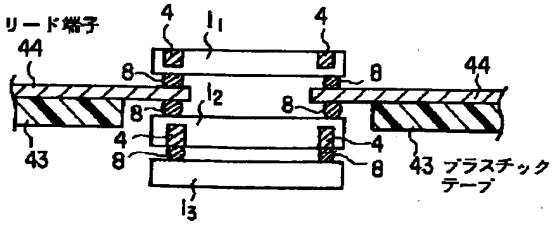
【図１３】



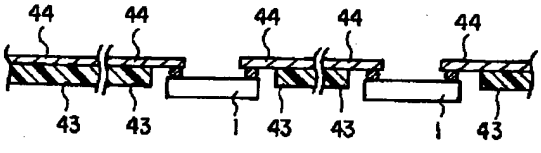
【図１６】



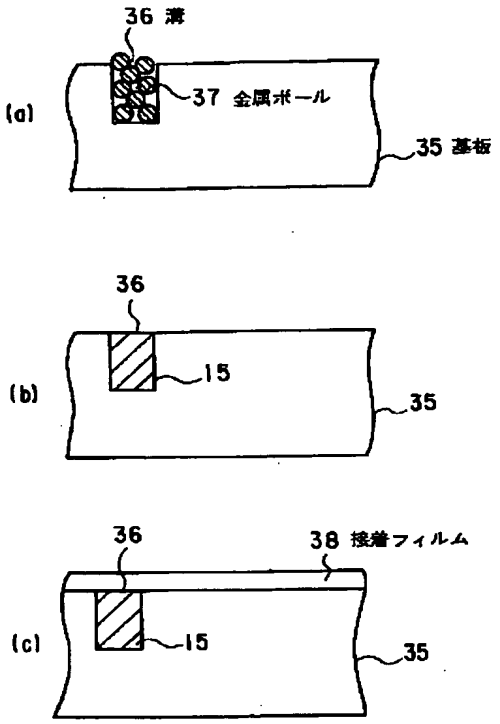
【図２０】



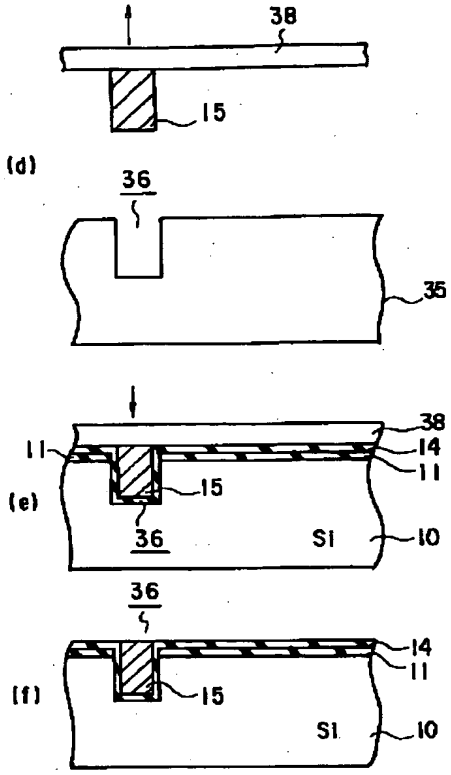
【図２１】



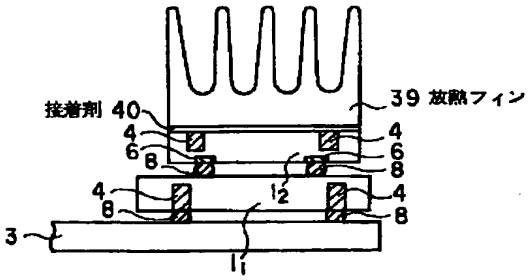
【図１４】



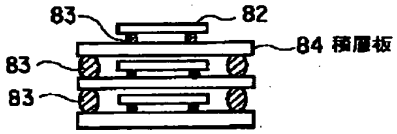
【図１５】



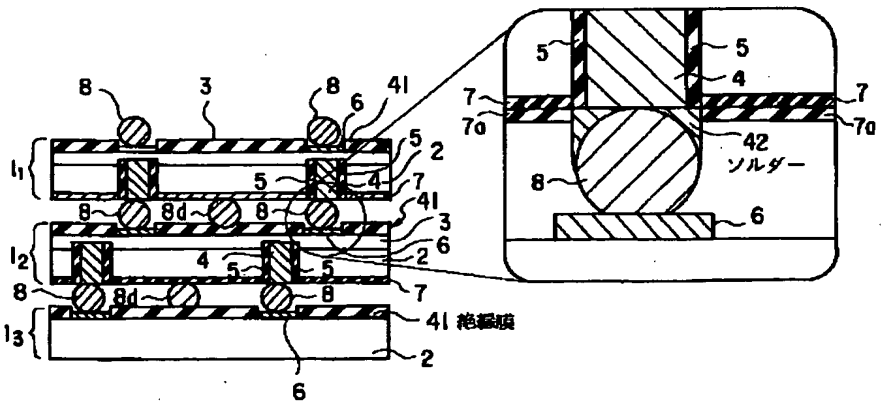
【図１７】



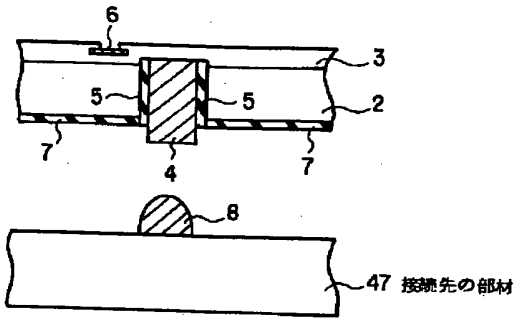
【図２７】



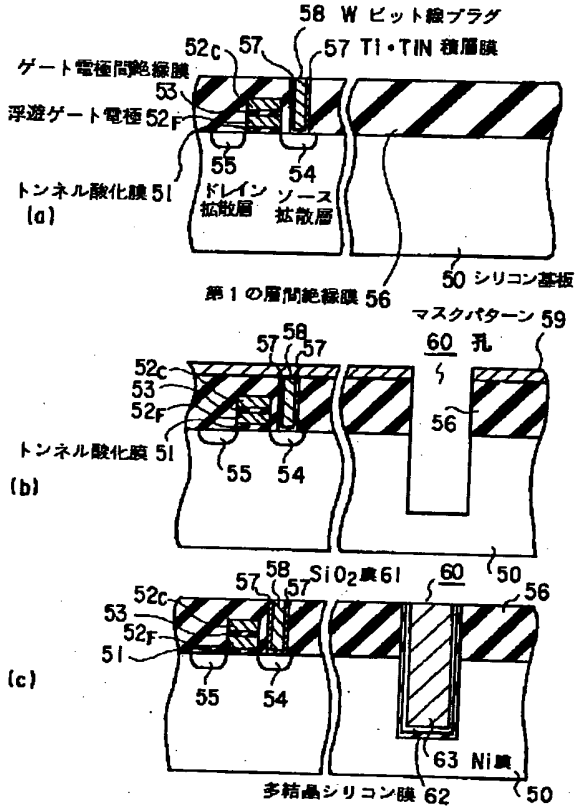
【図１８】



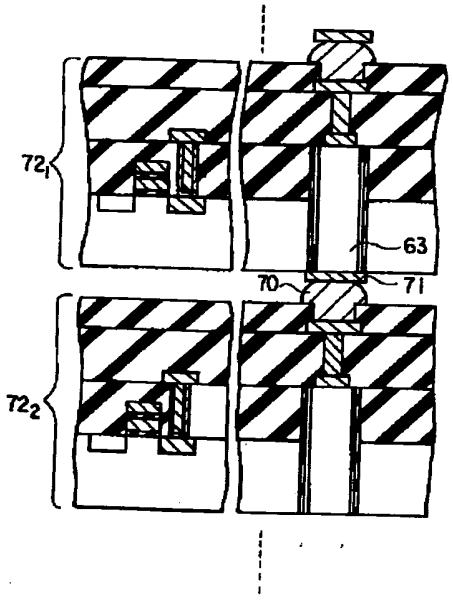
【図１９】


6
3
5
5
2
7
4
7
8
47 接続先の部材

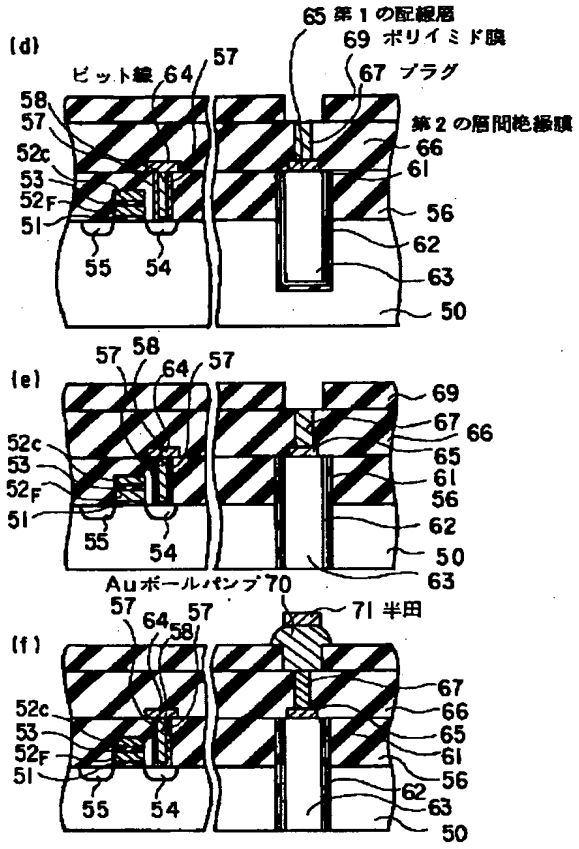
【図２２】


58 W ビット線プラグ
52C
57
57 Ti・TiN 積層膜
ゲート電極間絶縁膜
53
浮遊ゲート電極 52F
55
54
トンネル酸化膜 51
ドレイン拡散層
ソース拡散層
(a)
50 シリコン基板
第１の層間絶縁膜 56
マスクパターン 59
60 孔
(b)
SiO2膜 61
(c)
63 Ni膜
多結晶シリコン膜 62

【図２４】


72₁
63
70
71
72₂

【図２３】


(d)
ビット線
64
57
65 第１の配線層
69 ポリイミド膜
67 プラグ
第２の層間絶縁膜
58
57
52c
53
52F
51
55
54
66
61
56
62
63
50
(e)
57
58
64
57
69
67
66
65
61
56
62
50
63
Auボールバンプ70
71 半田
(f)
57
64
57
58
67
66
65
61
56
62
63
50
52c
53
52F
51
55
54

THIS PAGE BLANK (USPTO)